

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

公開実用 昭和61-133830

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 昭61-133830

⑬ Int. Cl.

G 06 F 1/04
9/06

識別記号

庁内整理番号

7157-5B
A-7361-5B

⑭ 公開 昭和61年(1986)8月21日

審査請求 未請求 (全 頁)

⑮ 考案の名称 制御信号発生装置

⑯ 実 願 昭60-15031

⑰ 出 願 昭60(1985)2月5日

⑱ 考 案 者 神 代 敏 彦 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 鈴 江 武彦 外2名

公開実用 昭和61-133830

明 細 書

1. 考案の名称

制御信号発生装置

2. 実用新案登録請求の範囲

- (1) 複数種の制御信号それぞれの発生順序を規定するパターン情報を記憶する第1の記憶手段と、上記制御信号各々の発生タイミングを規定する時間情報を記憶する第2の記憶手段と、一定周期のクロックを受けて計時カウントを行なう計時手段と、この計時手段の計時カウント値と上記第2の記憶手段より出力される時間情報とを比較する一致検出手段と、この一致検出手段より一致検出信号を受けて上記第1の記憶手段より出力されるパターン情報を切替えるとともに上記第2の記憶手段より出力される時間情報を上記切替えられたパターン情報に対応する時間情報に切替える出力制御手段とを具備し、上記第1の記憶手段より出力されるパターン情報の所定の複数ビット位置より上記制御信号を得ることを特



徴とする制御信号発生装置。

(2) 第 1 の記憶手段を書替え可能なメモリで構成してなる実用新案登録請求の範囲第 1 項記載の制御信号発生装置。

(3) 第 2 の記憶手段を書替え可能なメモリで構成してなる実用新案登録請求の範囲第 1 項記載の制御信号発生装置。

(4) 第 1 の記憶手段と第 2 の記憶手段とをそれぞれ共通のアドレスデータにより読出し制御する実用新案登録請求の範囲第 1 項記載の制御信号発生装置。

3. 考案の詳細な説明

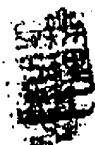
〔考案の技術分野〕

この考案は複数種の制御信号を予め定められた順序及びタイミングで順次出力する制御信号発生装置に関する。

〔従来技術とその問題点〕

情報処理機器等に於いて、複数種の制御信号を予め定められた順序及びタイミングで順次発生し該信号により所定の処理動作を実行制御す

公開実用 昭和61-133830



る際の制御信号発生装置として、従来では、カウンタ及び論理回路の組合わせによる純ハードウェア構成のものと、発生対象となる複数種の制御信号それぞれの信号パターンをROMに記憶しておき、同ROMを一定のクロック周期で順次読出し、各制御信号パターンを生成するものが存在する。

このうち、カウンタ及び論理回路の組合わせによる構成のものは、金物量が多く構成が複雑化するとともに、大きな占有スペースが必要となり、かつ価格面で高価になるという欠点があった。

又、ROMを用いた従来の構成のものは、ハードウェア構成は簡素化されるものの、発生対象となる複数種の制御信号をそれぞれ信号パターンとして発生順序に従いROMに記憶していることから、発生対象となる各制御信号の時間幅及び間隔が広範囲に亘るとROMの記憶容量が大幅に増大し、大容量のROMアドレスカウンタが必要となる。その具体例を第5図(a), (b)

及び第 6 図を用いて説明する。ここではディスクコントローラに於けるゲートの制御（ディスクヘデータをリード／ライトするための所定のディスクフォーマットに従うゲート制御）に適用する場合を例にとりて示している。

第 5 図 (a) , (b) はディスクのトラックフォーマットとそのセクタ内フィールドに対する各制御信号タイミングを示す図であり、ここではレコードギャップ 1 (GAP₁) が 20 バイト、同期フィールド (SYNC₁) が 1 バイト、ID フィールド (ID) が 4 バイト、CRC フィールド (CRC₁) が 2 バイト、レコードギャップ 2 (GAP₂) が 12 バイト、同期フィールド (SYNC₂) が 1 バイト、データフィールド (DATA) が 256 バイト、CRC フィールド (CRC₂) が 2 バイト、レコードギャップ 3 (GAP₃) が 27 バイトでなるものとする。

第 6 図は上記第 5 図に示す各種の制御信号を生成する発生装置の構成を示すブロック図である。図中、01 は上記第 5 図に示す制御信号各

公開実用 昭和61-133830



々の信号パターンが記憶されたROM、02はシステムクロック（S・CLK）を受けて歩進制御され、ディスクのより読出されたセクタパルス（SP）を受けてクリアされるROM01のアドレスカウンタ、03はROM01の出力をシステムクロック（S・CLK）に従いラッチするラッチ回路である。このラッチ回路03の各ビット出力はそれぞれゲート制御信号としてディスクコントローラに入力される。

上記した従来の制御信号発生装置に於いては、発生対象となる9種の制御信号のうち、レコードギャップ1, 2, 3（GAP1, 2, 3）がそれぞれ20バイト, 12バイト, 27バイト、同期フィールド（SYNC₁, SYNC₂）がそれぞれ1バイト、IDフィールド（ID）が4バイト、CRCフィールド（CRC₁, CRC₂）がそれぞれ2バイト、データフィールド（DATA）が256バイトであり、合計で325バイトとなることから、ROMアドレスとして、
 $325 \times 8 = 2600$ アドレスが必要となり、従っ




て上記ROM01には2600番地×9ビット以上の容量をもつものが必要となる。又、アドレスカウンタ02も〔0～2599〕のアドレス指定が可能な容量をもつものが必要となる。

更に、トラックフォーマットを異にするディスク（例えばデータフィールドが512 バイトのもの）に対してもその制御を可能にする場合は、当該ディスクフォーマットに固有の制御信号パターンを記憶したROMが別途必要となり、従ってROM及びROMアドレスカウンタの大幅な容量増加を招き、更にはフォーマットの選択切替機構を含む構成の複雑化、及びコストの大幅な上昇を招くという問題があった。

〔考案の目的〕

本考案は上記欠点を解消するためになされたもので、その目的とするところは、時間間隔及び発生タイミングを異にする複数種の制御信号を予め定められた順序で順次発生する制御信号発生装置に於いて、ハードウェア量を削減し、簡単な構成で任意の複数種の制御信号を容易に

公開実用 昭和61-133830



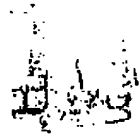
生成できる制御信号発生装置を提供するものである。

〔 考案の要点 〕

本考案は予め定められた順序及び間隔をもって複数種の制御信号を順次生成し出力する制御信号発生装置に於いて、上記各制御信号の発生順序を規定するパターン情報と、上記各制御信号の発生タイミングを規定する時間情報とをそれぞれ別個に所定の記憶部に記憶しておき、一定のクロックを計数する計時計数部の計数値が上記時間情報記憶部より出力された時間情報と一致する毎に上記各記憶部のアドレスを更新して、出力されるパターン情報及び時間情報を切替え、その出力パターン情報の各ビット出力を制御信号として所定の回路に振分ける構成としたもので、これにより制御信号発生回路のハードウェア量を削減でき、簡単な構成で任意の制御信号を容易に得ることができる。

〔 実施例 〕

第1図は本考案の一実施例を示すブロック図



であり、ここでは前述した第5図に示すようなディスクコントローラの制御信号を発生対象とする。第1図に於いて、11及び12は発生対象となる複数種の制御信号各々を特定の2種の要素に分解してその2種の要素データをそれぞれ別々に記憶する第1及び第2のメモリであり、ここでは第1のメモリ11をROMで構成し、第2のメモリ12をRAMで構成して、第1のメモリ（以下ROMと称す）11には、前述した第5図に示すような制御信号各々をその発生順（ $GAP_1 \rightarrow SYNC_1 \rightarrow ID \rightarrow CRC_1 \rightarrow GAP_2 \rightarrow SYNC_2 \rightarrow DATA \rightarrow CRC_2 \rightarrow GAP_3$ ）にパターン化した第2図に示すようなパターンデータを記憶し、第2のメモリ（以下RAMと称す）12には、上記制御信号各々の時間幅即ち発生タイミングを規定する第3図に示すような時間データを記憶する。従ってパターンデータの記憶に必要なROM11の容量は 9×9 ビット、時間データの記憶に必要なRAM12の容量は 9×16 ビット（実際に必要とする容量は

公開実用 昭和61-133830

9×11ビット)で、何れも極めて小さな記憶容量をもてばよい。13はシステムクロック(S・CLK)を受けてカウントアップされ、オアゲート17より出力されるディスクからのセクタパルス(SP)及び後述するコンパレータ14からの一致信号を受けてそれぞれクリアされるクロックカウンタである。14はこのクロックカウンタ13のカウント値とRAM12から読出される時間データとを比較し、上記カウント値が上記時間データの値に達することによって一致信号を出力するコンパレータである。15はこのコンパレータ14からの一致信号を受けてインクリメント(+1)され、上記セクタパルス(SP)を受けてクリアされるアドレスカウンタであり、上記ROM11及びRAM12に対して共通に読出しアドレス指定を行なうもので、ここでは制御信号の発生用として9アドレス分の指定が可能であればよい。16はRAM12への時間データ設定時にCPUより送出されるアドレスバス(AD-BUS)上の書込みア

ドレスをRAM12に供給し、制御信号発生時にアドレスカウンタ15の出力をRAM12に供給するアドレス選択回路(MPX)である。18はオアゲート17より出力されるセクタパルス(SP)及び一致信号を受けてその都度ROM11の出力(9ビットのパターンデータ)をラッチするラッチ回路である。このラッチ回路18の各ビット出力はそれぞれ予め対応付けられたゲート制御信号としてディスクコントローラに入力される。

第4図は上記実施例の動作を説明するための各部の信号タイミングを示すタイムチャートである。

ここで、第1図乃至第4図を用いて一実施例の作用を説明する。ROM11とRAM12には、発生対象となる制御信号をその信号発生順にパターン化した、信号発生順序を規定するパターンデータと、上記各制御信号の発生タイミングを規定する時間データとが記憶されるもので、ここではROM11に第2図に示すようなパター

公開実用 昭和61-133830



ンデータが予め格納され、RAM12に第3図に示すような時間データが書き込まれる。制御信号発生時に於いては、ROM11及びRAM12がアドレスカウンタ15より共通のアドレスを受けて同時に脱出し制御されるとともに、クロックカウンタ13がシステムクロック(S・CLK)に従い計時カウント動作を実行する。即ち、アドレスカウンタ15はディスクからのセクタパルス(SP)を受けてクリアされ、コンパレータ14から一致信号を受ける毎にカウントアップされる。このアドレスカウンタ15の出力はROM11及びRAM12に共通に与えられ、ROM11及びRAM12が同時にアドレス指定される。従って、アドレスカウンタ15がセクタパルス(SP)によりクリアされた時点ではROM11及びRAM12より、それぞれ〔0〕番地の内容が出力される。ここではROM11よりGAP₁の出力を示すパターンデータ("100000000")が出力され、RAM12より当該GAP₁の発生期間を示す時間データ



(160)が出力される。又、クロックカウンタ13はセクタパルス(SP)を受けてクリアされ、システムクロック(S・CLK)を受けて計時カウント動作を行なう。このクロックカウンタ13の出力データ即ち、計時カウント値はコンパレータ14に入力されRAM12の出力データ即ち、時間データと比較される。ここでデータの一致がとれ、コンパレータ14より一致信号が出力されると、この一致信号によりアドレスカウンタ15がカウントアップ(+1)されて、ROM11及びRAM12から次番地〔1番地〕のデータが出力されるとともに、クロックカウンタ13が一旦クリアされ、再びシステムクロック(S・CLK)に従い計時カウントを行なう。一方、ROM11より出力されたパターンデータは、オアゲート17より出力されるセクタパルス(SP)、及び一致信号によりロード制御されて、その都度ラッチ回路18にラッチされ、その各出力ビットがそれぞれ固有の制御信号(GAP, , SYNC, , ID, CRC, , ...)として

公開実用 昭和61-133830



ディスクコントローラに送出される。

このような動作が繰返し行なわれることにより、ラッチ回路 18 からは第 4 図に示すような各種制御信号 (GAP₁, SYNC₁, ID, CRC₁, GAP₂, SYNC₂, DATA, CRC₂, GAP₃) が各々所定のタイミング及び時間幅をもって順次繰返し出力され、ディスクコントローラに送出される。

上記したような制御信号発生手段により、メモリ及びカウンタの容量を大幅に削減でき、特に発生対象となる複数種の制御信号幅が大きく異なる場合、複数の異なるトラックフォーマットのディスクに対応させたい場合等に於いて、その効果は顕著である。

尚、上記した実施例に於いては、ディスクコントローラに於ける制御信号の発生を例にとったが、これに限らず他の回路又は装置に於ける制御信号の発生部にも容易に同様に用いることができる。

又、上記実施例に於いてはパターンデータの

記憶用にROMを用い、時間データの記憶用にRAMを用いたが、これに限らず例えば、上記各データの記憶にRAMを用いてもよい。

又、上記実施例に於いてはROM11のアドレス指定とRAM12のアドレス指定とを全く同一のアドレスデータで読出し制御したが、これに限ることはなく、同時に連続して循環指定できれば異なるアドレス値であってもよい。

又、上記実施例に於けるROM11及びRAM12は制御信号の発生に固有のものでなくともよく、既存メモリの一部の空き領域を利用することも可能である。

〔考案の効果〕

以上詳述したように本考案によれば、予め定められた順序及び間隔をもって複数種の制御信号を順次生成し出力する制御信号発生装置に於いて、上記各制御信号の発生順序を規定するパターン情報と、上記各制御信号の発生タイミングを規定する時間情報とをそれぞれ別個に所定の記憶部に記憶しておき、一定のクロックを計

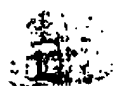
公開実用 昭和61-133830



数する計時計数部の計数値が上記時間情報記憶部より出力された時間情報と一致する毎に上記各記憶部のアドレスを更新して、出力されるパターン情報及び時間情報を切替え、その出力パターン情報の各ビット出力を制御信号として所定の回路に振分ける構成としたことにより、制御信号発生回路のハードウェア量を削減でき、簡単な構成で任意の制御信号を容易に得ることができる。

4. 図面の簡単な説明

第1図は本考案の一実施例を示すブロック図、第2図は上記実施例に於ける第1のメモリに記憶された情報例を示す図、第3図は同第2のメモリに記憶された情報例を示す図、第4図は上記実施例に於ける各部の信号タイミングを示すタイムチャート、第5図(a)、(b)は本考案の一実施例で対象とするディスクコントローラに於けるディスクトラックフォーマットと、その各制御信号タイミングを示す図、第6図は従来の構成を示すブロック図である。

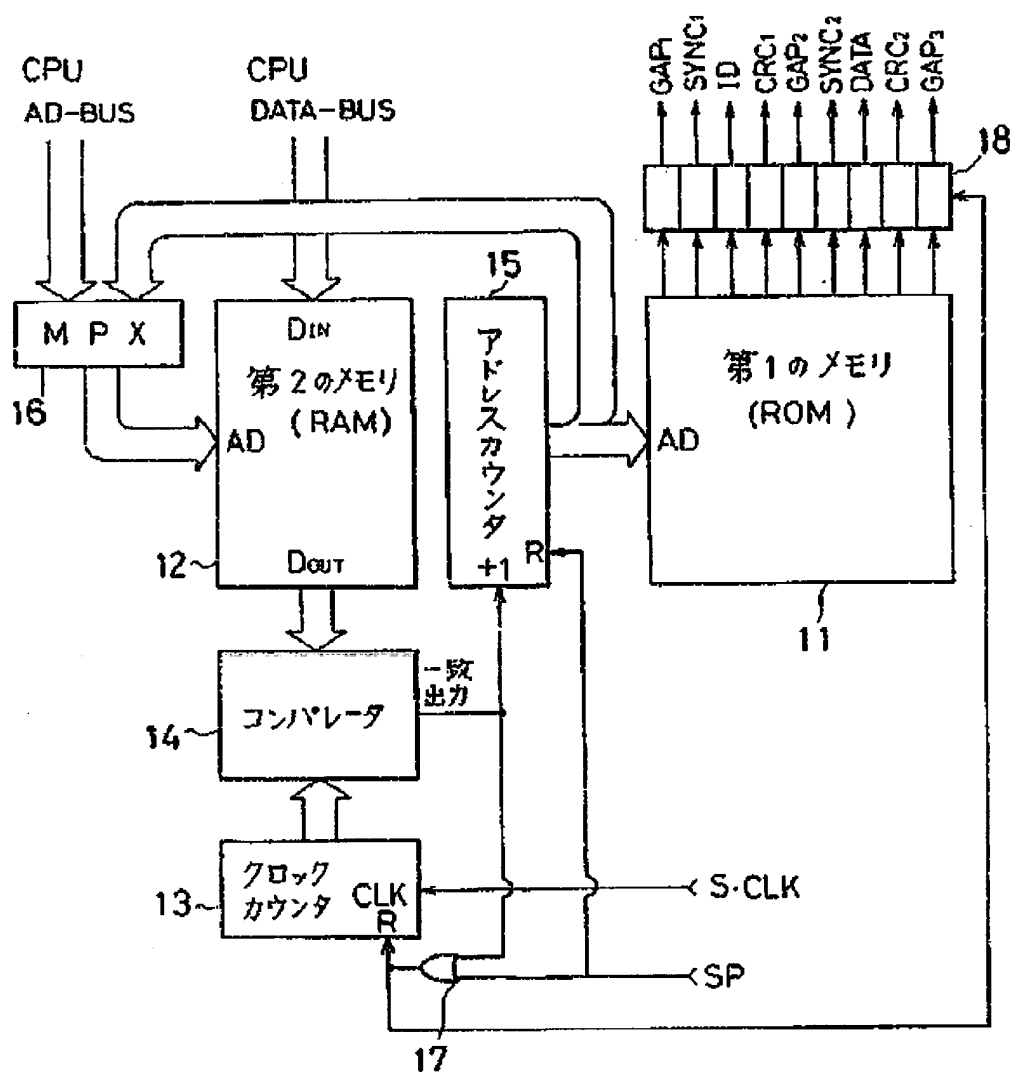


11…第1のメモリ(R O M)、12…第2
のメモリ(R A M)、13…クロックカウンタ、
14…コンパレータ、15…アドレスカウンタ、
16…アドレス選択回路(M P X)、17…オ
アゲート、18…ラッチ回路、S・CLK…シス
テムクロック、S P…セクタパルス。

出願人代理人 弁理士 鈴 江 武 彦

公開実用 昭和61-133830

第 1 図



328

実例61-133830

当 願 人 カシオ計算機株式会社
代 理 人 鈴 江 武 彦

第 2 図

	GAP ₁	SYNC ₁	ID	CRC ₁	GAP ₂	SYNC ₂	DATA	CRC ₂	GAP ₃
0	1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0
2			1						
3				1					
4					1				
5						1			
6							1		
7								1	
8	0	0	0	0	0	0	0	0	1

ROM

329

実5461-13383

発 願 人 カシオ計算機株式会社
 代 理 人 鈴 江 武 彦

公開実用 昭和61-133830

第 3 図

RAM		
0	160	GAP ₁
1	8	SYNC ₁
2	32	ID
3	16	CRC
4	96	GAP ₂
5	8	SYNC ₂
6	2048	DATA
7	16	CRC
8	216	GAP ₃

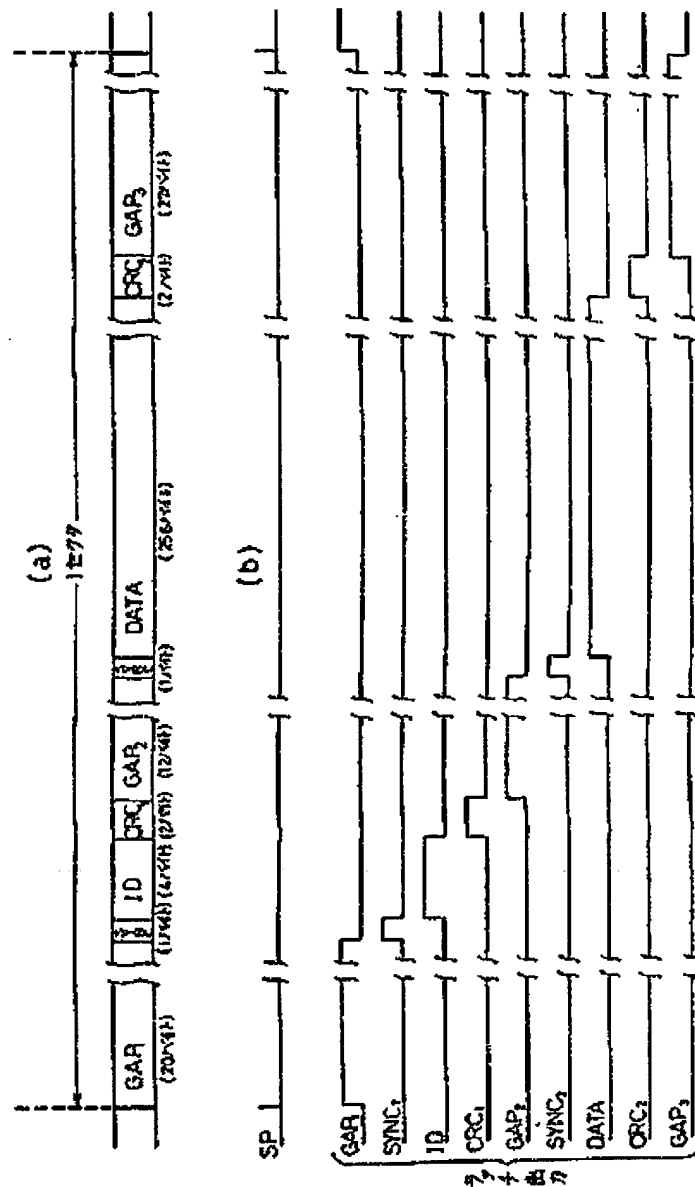
330

昭和61-133830

出 願 人 カシオ計算機株式会社
代 理 人 鈴 江 武 彦

公開実用 昭和61-133830

第 5 図

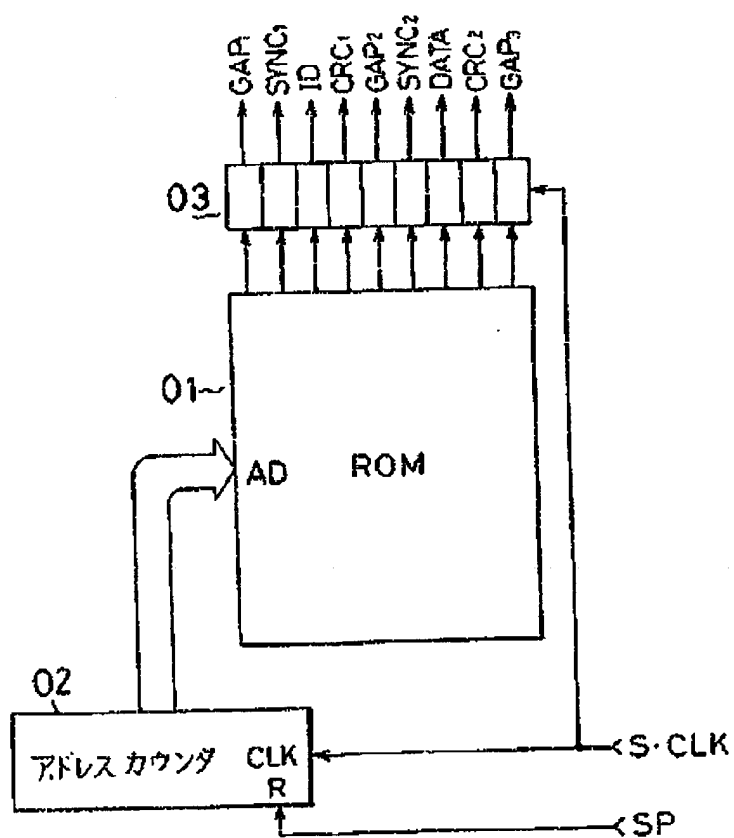


332
実用61-13383

出願人 カシオ計算機株式会社
代理人 菊 江 武

公開実用 昭和61-133830

第 6 図



333

実開61-133830

出 願 人 カシオ計算機株式会社

代 理 人 鈴 江 武 彦